

Rec'd PCT/PTO 14 JUL 2004

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

PCT/KR 02/01434

RO/KR 29.07.2002

10/501597

REC'D 23 AUG 2002

WIPO

PCT



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 :
Application Number

특허출원 2002년 제 16079 호
PATENT-2002-0016079

출원 년 월 일 :
Date of Application

2002년 03월 25일
MAR 25, 2002

출원 인 :
Applicant(s)

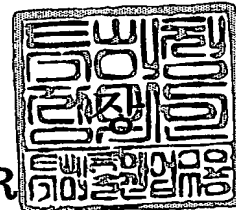
삼성전자 주식회사
SAMSUNG ELECTRONICS CO., LTD.



2002 년 07 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.03.25
【발명의 명칭】	표시 장치용 배선 및 그 제조 방법과 그 배선을 포함하는 박막 트랜지스터 어레이 기판 및 그 제조 방법
【발명의 영문명칭】	A WIRE FOR A DISPLAY DEVICE, A METHOD FOR MANUFACTURING THE WIRE, A THIN FILM TRANSISTOR ARRAY SUBSTRATE INCLUDING THE WIRE, AND A METHOD FOR MANUFACTURING THE SUBSTRATE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-040150-0
【발명자】	
【성명의 국문표기】	박홍식
【성명의 영문표기】	PARK,HONG SICK
【주민등록번호】	630502-1019728
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 구갈리 384-2 신명아파트 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	강성철
【성명의 영문표기】	KANG,SUNG CHUL
【주민등록번호】	590327-1120410
【우편번호】	449-843
【주소】	경기도 용인시 수지읍 상현리 현대성우2차아파트 164동 1001호
【국적】	KR

【우선권주장】

【출원국명】

KR

【출원종류】

특허

【출원번호】

10-2002-0002230

【출원일자】

2002.01.15

【증명서류】

첨부

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인
인 (인) 유미특허법

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

30 면 30,000 원

【우선권주장료】

1 건 26,000 원

【심사청구료】

0 100 0 100

【합계】

85,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2.우선권증명서류 및 동 번역
문[특허청기제출]_1통

【요약서】

【요약】

먼저, 크롬막과 산화 크롬막을 차례로 적층하고 8-12%의 $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ 과 10-20%의 질산(NH_3)과 나머지 초순수를 포함하는 식각액을 이용한 패터닝하여 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성한다. 다음, 게이트 절연막, 반도체층 및 저항 접촉층을 차례로 형성하고, 크롬막과 산화 크롬막을 차례로 적층하고 8-12%의 $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ 과 10-20%의 질산(NH_3)과 나머지 초순수를 포함하는 식각액으로 패터닝하여 데이터선, 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드를 각각 드러내는 접촉 구멍을 형성한 다음 투명하거나 반사도를 가지는 도전 물질을 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드와 각각 전기적으로 연결되는 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다. 이때, 게이트선과 데이터선은 낮은 반사도를 가지므로 화소 영역 사이에서 누설되는 빛을 차단하는 광차단막으로 이용되면서 블랙 휘도를 증가시키지는 않는다. 따라서, 블랙 매트릭스를 별도로 형성할 필요가 없어 높은 개구율을 확보할 수 있는 동시에 대비비를 향상시킬 수 있다.

【대표도】

도 3

【색인어】

산화금속막, 반사도, 개구율, 대비비

【명세서】

【발명의 명칭】

표시 장치용 배선 및 그 제조 방법과 그 배선을 포함하는 박막 트랜지스터 어레이 기판 및 그 제조 방법{A WIRE FOR A DISPLAY DEVICE, A METHOD FOR MANUFACTURING THE WIRE, A THIN FILM TRANSISTOR ARRAY SUBSTRATE INCLUDING THE WIRE, AND A METHOD FOR MANUFACTURING THE SUBSTRATE}

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 표시 장치용 배선의 구조를 도시한 단면도이고,

도 2는 본 발명의 실험예에서 크롬 또는 산화 크롬을 포함하는 다양한 박막의 반사율을 나타낸 그래프이고,

도 3은 본 발명의 실험예에서 크롬의 박막과 크롬막과 산화 크롬막으로 이루어진 박막을 촬영한 사진이고,

도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,

도 5는 도 4에 도시한 박막 트랜지스터 기판을 III-III 선을 따라 잘라 도시한 단면도이고,

도 6a, 7a, 8a 및 9a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 박막 트랜지스터 기판의 배치도이고,

도 6b는 도 6a에서 VIb-VIb' 선을 따라 절단한 단면도이고,

도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고,

도 8b는 도 8a에서 VIIIb-VIIIb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이고,

도 9b는 도 9a에서 IXb-IXb' 선을 따라 잘라 도시한 도면으로서 도 8b의 다음 단계를 도시한 단면도이고,

도 10은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 11 및 도 12는 도 10에 도시한 박막 트랜지스터 기판을 XI-XI' 선 및 XII-XII' 선을 따라 잘라 도시한 단면도이고,

도 13a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 13b 및 13c는 각각 도 13a에서 XIIIb-XIIIb' 선 및 XIIIc-XIIIc' 선을 따라 잘라 도시한 단면도이며,

도 14a 및 14b는 각각 도 13a에서 XIIIb-XIIIb' 선 및 XIIIc-XIIIc' 선을 따라 잘라 도시한 단면도로서, 도 13b 및 도 13c 다음 단계에서의 단면도이고,

도 15a는 도 14a 및 14b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 15b 및 15c는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선을 따라 잘라 도시한 단면도이며,

도 16a, 17a, 18a와 도 16b, 17b, 18b는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선을 따라 잘라 도시한 단면도로서 도 15b 및 15c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 19a는 도 18a 및 도 18b의 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 19b 및 19c는 각각 도 19a에서 XIXb-XIXb' 선 및 XIXc-XIXc' 선을 따라 잘라 도시한 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 표시 장치용 배선 및 이를 포함하는 박막 트랜지스터 어레이 기판에 관한 것이다.

<22> 액정 표시 장치는 전극이 형성되어 있는 상부 및 하부 기판과 그 사이에 주입되어 있는 액정 물질로 구성되어 있다. 이러한 액정 표시 장치는 두 기판 사이에 주입되어 있는 액정 물질에 전극을 이용하여 전계를 인가하고, 이 전계의 세기를 조절하여 기판에 투과되는 빛의 양을 조절함으로써 화상을 표시한다.

<23> 이러한 액정 표시 장치의 한 기판에는 게이트 신호 또는 화상 신호를 전달하는 배선, 화상 신호가 전달되는 화소 전극 및 게이트 신호를 통하여 각 화소의 화소 전극에 전달되는 화상 신호를 제어하는 박막 트랜지스터 등이 형성되어 있으며, 다른 기판에는 다양한 색의 화상을 구현하기 위한 컬러 필터 및 화소 사이에서 누설되는 빛샘을 차단하

거나 대비비의 저하를 방지하기 위한 블랙 매트릭스가 형성되어 있다. 하지만, 블랙 매트릭스는 두 기관의 정렬 오차를 고려하여 넓은 폭으로 형성해야하기 때문에 화소의 개구율을 감소시키는 원인이 되어 블랙 매트릭스를 제거하는 방법이 개발되고 있다. 그러나, 이 경우는 블랙 휘도가 상승하여 대비비가 감소하는 문제점이 발생하기 때문에 개구율이 감소되는 것을 방지하면서 높은 대비비를 확보할 수 있는 기술이 필요하다.

<24> 한편, 액정 표시 장치를 제조 방법 중에서, 박막 트랜지스터가 형성되어 있는 기관은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이다. 이때, 생산 비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명이 이루고자 하는 기술적 과제는 개구율이 감소되는 것을 방지하면서 높은 대비비를 확보할 수 있는 표시 장치용 배선 및 그 제조 방법과 이를 포함하는 박막 트랜지스터 어레이 기관 및 그 제조 방법을 제공하는 것이다.

<26> 또한, 본 발명의 다른 과제는 박막 트랜지스터 기관의 제조 방법을 단순화하는 것이다.

【발명의 구성 및 작용】

<27> 이러한 문제점을 해결하기 위하여 본 발명에 따른 표시 장치용 배선은 금속막과 금속막 상부에 형성되어 있는 산화 금속막을 포함하고 있다.

<28> 이러한, 표시 장치용 배선은 액정 표시 장치의 게이트선 또는 데이터선으로

이용될 수 있다. 이때, 금속막은 크롬, 몰리브덴, 몰리브덴 합금, 알루미늄 및 알루미늄 합금 중 하나로 형성할 수 있으며, 산화 금속막은 산화 크롬, 산화 몰리브덴 및 산화 몰리브덴 합금 중 하나로 형성할 수 있다. 또한, 금속막의 도전 물질과 산화 금속막의 도전 물질은 서로 동일한 것이 바람직하며, 제조 방법에서 금속막과 산화 금속막은 서로 동일한 식각 방법을 이용할 수 있으며 그렇지 않을 수도 있다.

<29> 이때, 배선이 크롬의 금속막과 산화 크롬의 산화 금속막으로 이루어진 경우에는 한번의 습식 식각으로 패터닝할 수 있으며, 식각액은 8-12%의 $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ 과 10-20%의 질산(NH_3)과 나머지 초순수를 포함한다.

<30> 이러한 표시 장치용 배선 및 그 제조 방법 각각은 액정 표시 장치용 신호선 및 그 제조 방법으로 사용될 수 있다.

<31> 더욱 상세하게, 본 발명에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판에는, 절연 기판 위에 게이트선 및 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선이 형성되어 있으며, 그 상부에는 게이트 배선을 덮는 게이트 절연막이 형성되어 있다. 게이트 절연막 상부에는 반도체층이 형성되어 있으며, 이들의 상부에는 데이터선, 데이터선과 연결되어 있으며 반도체층 상부까지 연장되어 있는 소스 전극 및 게이트 전극에 대하여 소스 전극의 맞은 편 반도체층 상부에 형성되어 있는 드레인 전극을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선을 덮고 있는 보호막의 상부에는 투명한 도전 물질 또는 반사도를 가지는 도전 물질로 이루어져 있으며, 드레인 전극과 연결되어 있는 화소 전극이 형성되어 있다. 이때, 게이트 배선 또는 상기 데이터 배선

은 도전 물질로 이루어진 금속막과 산화된 도전 물질로 이루어진 산화 금속막을 포함한다.

<32> 게이트 배선은 게이트선에 연결되어 있는 게이트 패드를 더 포함하며, 데이터 배선은 데이터선에 연결되어 있는 데이터 패드를 더 포함하며, 화소 전극과 동일한 층에는 게이트 패드 및 데이터 패드와 각각 연결되는 보조 게이트 패드 및 보조 데이터 패드를 포함할 수 있다.

<33> 또한, 보호막은 SiOC 또는 SiOF 또는 질화 규소 또는 유기 절연 물질로 이루어질 수 있으며, 소스 전극과 드레인 전극 사이의 채널부를 제외한 반도체층과 데이터 배선은 동일한 패턴으로 이루어질 수 있다.

<34> 이러한 본 발명에 따른 박막 트랜지스터 어레이 기판의 제조 방법에서 게이트 배선과 데이터 배선을 크롬의 금속막과 산화 크롬의 산화 금속막으로 형성하는 경우에는 8-12%의 $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ 과 10-20%의 질산(NH_3)과 나머지 초순수를 포함하는 식각액을 이용하여 한번에 금속막과 산화 금속막을 패터닝한다.

<35> 그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 표시 장치용 배선 및 그 제조 방법과 이를 포함하는 박막 트랜지스터 어레이 기판 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

<36> 도 1은 본 발명의 실시예에 따른 표시 장치용 배선의 구조를 도시한 단면도이다.

<37> 도 1에서 보는 바와 같이, 본 발명의 실시예에 따른 표시 장치용 배선은 기판(1)의 상부에 형성되어 있으며, 크롬, 몰리브덴 또는 몰리브덴 합금, 알루미늄 또는 알루미늄

합금, 티타늄, 탄탈륨 등의 저저항을 가지는 도전 물질로 이루어진 금속막(2)과 금속막(2)의 상부에 형성되어 있으며, 산화 크롬(CrO_x), 산화 몰리브덴 (MoO_x) 또는 산화 몰리브덴 합금 등 앞에서 언급한 금속이 산화되어 이루어진 산화 금속막(3)을 포함한다. 이러한 본 발명의 실시예에 따른 배선은 저저항의 도전 물질로 이루어진 금속막(2)을 포함하고 있고, 금속막(2)과 함께 산화 금속막(3)으로 이루어져 불투명하면서 낮은 반사율을 가진다. 따라서, 본 발명의 실시예에 따른 배선은 액정 표시 장치와 같은 표시 장치에서 게이트(주사) 신호 또는 데이터 신호를 전달하는 신호선으로 사용할 수 있는 동시에 화소 사이에서 누설되는 빛을 차단하는 블랙 매트릭스로 사용할 수 있다. 이때, 배선은 낮은 반사율을 가지기 때문에 블랙 휘도가 상승하는 것을 차단할 수 있어 높은 대비비를 확보할 수 있다. 이에 대해서는 이후에 도면을 참조하여 구체적으로 설명하기로 한다.

<38> 이러한 본 발명의 실시예에 따른 배선의 제조 방법에서는 금속막(2)을 스퍼터링 방법으로 적층한 후, 동일한 증착 챔버에서 산소 기체를 주입하여 산화 금속막(3)을 형성할 수 있어 금속막(2)과 산화 금속막(3)이 동일한 도전 물질을 포함하도록 형성하는 것이 바람직하지만, 금속막(2)과 산화 금속막(3)이 다른 도전 물질을 포함할 수도 있다. 또한, 금속막(2)과 산화 금속막(3)을 패터닝하기 위해서는 습식 식각과 건식 식각 모두를 사용할 수 있으며, 금속막(2)과 산화 금속막(3)은 서로 다른 식각 방법으로 패터닝할 수 있다. 본 발명의 실시예에서는 크롬을 적층하여 금속막(2)을 형성한 후, 산소를 주입하여 산화 크롬을 적층하여 산화 금속막(3)을 형성하였다. 이어, 배선용 감광막 패턴을 형성하고 이를 식각 마스크로 사용하여 $\text{O}_2 + \text{Cl}_2$ 또는 $\text{O}_2 + \text{HCl}$ 를 포함하는 기체를 이용하여 건식 식각으로 산화 크롬막(3)을 패터닝하고 감광막 패턴 또는 산화 크롬막(3)을 식각 마스크로 사용하여 습식 식각으로 크롬막(2)을 패터닝한다. 습식 식각을 할 때 식

각은 등방적으로 이루어지므로 산화 크롬막(3)의 하부에서 언더 컷이 발생할 수 있으며, 이러한 문제점을 해결하기 위해 산화 크롬막(3)과 크롬막(2)을 모두 습식 또는 건식 식각으로 한번에 패터닝하여 테이퍼 구조를 얻는 것이 바람직하다. 본 발명의 실험예에서는 크롬막(2)과 산화 크롬막(3)으로 이루어진 배선을 8-12%의 $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ 과 10-20%의 질산(NH_3)과 나머지 초순수를 포함하는 식각액을 이용하여 습식 식각으로 패터닝하였다. 그 결과 크롬막(2)과 산화 크롬막(3)을 함께 패터닝할 수 있었으며, 30-50 ° 정도의 테이퍼 각을 가지는 양호한 배선 구조를 얻을 수 있었다.

<39> 또한, 본 발명의 한 실험예에서는 산화 크롬막(3)과 크롬막(2)으로 이루어진 도전막의 반사율을 측정하였다.

<40> 도 2는 본 발명의 실험예에서 크롬 또는 산화 크롬을 포함하는 다양한 박막의 반사율을 나타낸 그래프이다.

<41> 여기서, 반사율은 규소의 박막(Si), 산화 크롬막과 그 상부에 적층된 크롬막으로 이루어진 박막(CrO_x/Cr), 2,000Å 두께의 질화막과 산화 크롬막과 크롬막이 차례로 적층된 박막($\text{SiN}_{2000}/\text{CrO}_x/\text{Cr}$), 6,500Å 두께의 질화막과 산화 크롬막과 크롬막이 차례로 적층된 박막($\text{SiN}_{6500}/\text{CrO}_x/\text{Cr}$), 6,500Å 두께의 질화막과 크롬막이 차례로 적층된 박막($\text{SiN}_{6500}/\text{Cr}$), 2,000Å 두께의 질화막과 크롬막이 차례로 적층된 박막($\text{SiN}_{2000}/\text{Cr}$) 및 크롬막의 박막(Cr)에 대하여 각각 측정하였으며, 규소(Si) 박막의 반사율을 100%로 설정하고 이를 기준으로 다른 박막의 반사율을 계산하였다.

<42> 도 2에서 보는 바와 같이, 크롬막(Cr)의 상부에 산화 크롬막(CrO_x)을 적층하여 박막을 형성함으로써 규소(Si) 및 크롬막(Cr)의 박막보다 반사율이 급격히 감소되는 것을 알 수 있으며, 규소(Si) 박막과 비교하여 20% 정도 감소하는 것으로 나타났다.

- <43> 또한, 본 발명의 다른 실험예에서는 크롬의 박막과 크롬막과 산화 크롬막으로 이루어진 박막을 촬영하였다.
- <44> 도 3은 본 발명의 실험예에서 크롬의 박막과 크롬막과 산화 크롬막으로 이루어진 박막을 촬영한 사진이다.
- <45> 도 3에서 보는 바와 같이 크롬의 박막(Cr)은 높은 반사도를 가지기 때문에 밝게 나타났으며, 크롬막과 산화 크롬막으로 이루어진 박막(CrO_x/Cr)은 매우 낮은 반사도를 가지므로 어둡게 나타났다. 이를 통하여 크롬막과 산화 크롬막으로 이루어진 박막(CrO_x/Cr)은 반사율이 매우 낮아 광차단막으로 사용할 때 블랙 휘도를 증가시키지 않아 높은 대비비를 확보할 수 있음을 알 수 있다
- <46> 다음은, 이러한 본 발명에 따른 표시 장치용 배선을 포함하는 박막 트랜지스터 어레이 기판을 가지는 액정 표시 장치와 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.
- <47> 먼저, 도 4 및 도 5를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치의 구조에 대하여 상세히 설명한다.
- <48> 도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고, 도 5 도 4에 도시한 액정 표시 장치를 IV-IV' 선을 따라 잘라 도시한 단면도이다.
- <49> 하부 기판(100)에는, 하부 절연 기판(10) 위에 저저항을 가지는 크롬, 몰리브덴 또는 몰리브덴 합금, 알루미늄 또는 알루미늄 합금 등의 도전 물질로 이루어진 금속막(201)과 산화 크롬, 산화 몰리브덴 또는 산화 몰리브덴 합금 등과 같이 금속 산화물로 이루어진 산화 금속막(202)을 포함하는 게이트 배선이 형성되어 있다. 게이트 배선은

가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다. 이때, 게이트 배선(22, 24, 26)은 30-50 °의 양호한 테이퍼 구조를 가지므로 이후에 형성되는 다른 막의 프로파일(profile)을 양호하게 유도할 수 있다.

<50> 기판(10) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.

<51> 게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 nt 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(55, 56)이 각각 형성되어 있다.

<52> 저항 접촉층(55, 56) 및 게이트 절연막(30) 위에는 게이트 배선(22, 24, 26)과 같이 크롬, 몰리브덴 또는 몰리브덴 합금, 알루미늄 또는 알루미늄 합금 등의 도전 물질로 이루어진 금속막(601)과 금속막(601)의 상부에 형성되어 있으며 산화 크롬, 산화 몰리브덴 또는 산화 몰리브덴 합금 등과 같이 금속 산화물로 이루어진 산화 금속막(602)을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소 영역을 정의하는 데이터선(62), 데이터선(62)에 연결되어 있으며 저항 접촉층(55)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다. 한편, 데이터 배선은 게이트

선(22)과 중첩되어 유지 용량을 확보하기 위한 유지 축전기용 도전체 패턴(64)을 포함할 수 있다.

<53> 데이터 배선(62, 64, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 낮은 유전율을 가지는 유기 물질 또는 SiOC 또는 SiOF 등과 같이 화학 기상 증착을 통하여 형성되며 4.0 이하의 낮은 유전율을 가지는 저유전율 절연 물질 또는 질화 규소를 포함하는 보호막(70)이 형성되어 있다.

<54> 보호막(70)에는 유지 축전기용 도전체 패턴(64), 드레인 전극(66), 데이터 패드(68)를 각각 드러내는 접촉 구멍(72, 76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다.

<55> 보호막(70) 위에는 접촉 구멍(72, 76)을 통하여 유지 축전기용 도전체 패턴(72) 및 드레인 전극(66)과 전기적으로 연결되어 있으며 화소에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있다. 여기서, 화소 전극(82)과 보조 게이트 및 데이터 패드(86, 88)는 IZO(indium zinc oxide)와 ITO(indium tin oxide) 등과 같이 투명한 도전 물질, 또는 알루미늄, 알루미늄 합금, 은과 은 합금과 같이 높은 반사도를 가지는 도전 물질로 이루어져 있다.

<56> 이러한 본 발명에 따른 박막 트랜지스터 어레이 기판은, 화소 전극(82)이 투명한 도전 물질인 경우에는 광원을 이용하여 화상을 표시하는 투과형 모드의 액정 표시 장치에 사용되며, 반사도를 가지는 도전 물질인 경우에는 자연광 또는 외부광을 이용하여 화

상을 표시하는 반사형 모드의 액정 표시 장치에 사용되며, 반사도를 가지는 물질과 투명한 도전 물질로 함께 형성되는 경우에는 반투과형 액정 표시 장치에 사용된다.

<57> 여기서, 화소 전극(82)은 도 4 및 도 5에서 보는 바와 같이, 게이트선(22)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다. 또한, 투명 도전막 패턴(82, 86, 88)은 보호막(70) 하부에 형성될 수 있으며, 데이터 배선(62, 64, 65, 66, 68) 하부에 위치할 수도 있다.

<58> 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이(array) 기판에서 화소 영역을 정의하는 게이트선(22)과 데이터선(62)은 서로 이웃하는 화소 영역 사이에서 누설되는 빛을 차단하는 광차단막의 기능을 가지는 동시에 낮은 반사율을 가지는 금속막(601, 602)과 산화 금속막(202, 602)을 이루어져 있어 어두운 색으로 표시되어 블랙 휘도를 감소시켜 높은 대비비를 확보할 수 있다.

<59> 한편, 본 발명의 제1 실시예에 따른 액정 표시 장치에서 하부 기판(100)과 마주하는 상부 기판(200)에는 상부 절연 기판(20) 위에 직선 모양으로 적, 녹, 청의 컬러 필터(R, G, B)가 순차적으로 배열되어 있다. 이때, 서로 이웃하는 화소 영역의 사이에서 적, 녹, 청의 컬러 필터(R, G, B)는 다른 부분보다 얇은 두께를 가지며 서로 중첩되어 있다. 적, 녹, 청의 컬러 필터(R, G, B) 각각에서, 가장자리 부분의 두께는 중앙부의 두께에 대하여 1/2 정도로 설정할 수 있으나, 공정 조건에 따라 다른 비율로 설정할 수 있다. 다만, 이웃하는 색 필터가 중첩하는 부분에서 가장자리부의 중첩 두께가 색 필터의 중앙부의 두께와 차이가 나지 않도록, 바람직하게는, 동일하게 되도록 설정하는 것이 유리하다. 이 경우, 컬러 필터(R,

G, B)가 존재하는 층 전체가 평탄화되기 때문에 후속막의 스텝 커버리지(step coverage) 특성을 양호하게 할 수 있고, 기판의 평탄화를 도모함으로써 액정의 배열이 흐트러지는 것을 방지할 수 있다. 여기서도, 이웃하는 색 필터(R, G, B)의 두 가장자리부가 중첩하고 있는 부분에서는 두 가지의 색이 서로 중첩하기 때문에 어두운 상태로 표시되어 이 부분을 통하여 누설되는 빛을 차단시킬 수 있어서 광차단막으로서의 기능을 할 수 있는 동시에 흑백 대비비를 향상시킬 수 있다.

<60> 또한, 적, 녹, 청의 컬러 필터(R, G, B) 상부에는 공통 전극(29)이 평평하게 덮고 있다.

<61> 도면에서 도시하지 않았지만, 이러한 상부 기판(200)과 하부 기판(100)의 사이에는 액정층이 개재되어 있다.

<62> 이러한 본 발명에 따른 액정 표시 장치에서는 하부 기판(100)에 형성되어 있는 게이트선(22) 및 데이터선(62)과 컬러 필터(R, G, B)가 화소 영역 사이에서 누설되는 빛을 차단할 수 있고 이들은 어두운 색으로 표시되어 컬러 필터 기판에 별도로 블랙 매트릭스를 둘 필요가 없어 화소의 개구율을 확보할 수 있는 동시에 높은 대비비를 확보할 수 있다.

<63> 그러면, 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 도 4 및 도 5와 도 6a 내지 도 9b를 참고로 하여 상세히 설명한다.

<64> 먼저, 도 6a 및 6b에 도시한 바와 같이, 기판(10) 위에 크롬 또는 몰리브덴 또는 몰리브덴 합금 중 하나를 스퍼터링 방법으로 금속막(201)을 2,500Å 정도의

두께로 적층한 후, 금속막(201)을 적층하면서 스퍼터링 챔버에 산소(또는 CO₂)를 주입하여 산화 금속막(202)을 500Å 정도의 두께로 적층한 다음 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 게이트 배선을 형성한다. 본 발명의 실시예에서는 금속막(201)과 산화 금속막(202)이 크롬을 포함하는 경우에 산화 크롬막(202)은 O₂+Cl₂ 또는 O₂+HCl를 포함하는 기체를 이용하여 건식 식각으로 패터닝하고 크롬막(201)은 습식 식각으로 패터닝한다. 하지만, 습식 식각은 등방적으로 진행되어 산화 크롬막(202)의 하부에서 크롬막(201)이 언더 컷되어 이후에 형성되는 다른 막의 프로파일을 취약하게 유도할 수 있다. 이러한 문제점을 해결하기 위해 산화 크롬막(202)과 크롬막(201)을 습식 또는 건식 식각 중 하나의 식각 조건으로 패터닝하여 테이퍼 구조를 얻는 것이 바람직하다. 본 발명의 실시예에서는 크롬막(201)과 산화 크롬막(202)을 한번의 습식 식각으로 패터닝하였으며, 습식 식각은 8-12%의 Ce(NH₄)₂(NO₃)₆과 10-20%의 질산(NH₃)과 나머지 초순수를 포함하는 식각액으로 진행하였으며, 30-50 ° 정도의 테이퍼 각을 가지는 배선 구조를 얻을 수 있었다. 따라서, 크롬막(201)과 산화 크롬막(202)을 하나의 식각 조건으로 패터닝하여 제조 공정을 단순히 할 수 있었으며, 테이퍼 구조를 통하여 이후에 형성되는 다른 막의 프로파일을 양호하게 유도할 수 있었다.

<65> 다음, 도 7a 및 도 7b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 반도체층(40)과 도핑된 비정질 규소층(50)을 패터닝하여 게이트 전극(24)과 마주하는 게이트 절연막(30) 상부에 반도체층(40)과 저항 접촉층(50)을 형성한다.

<66> 다음, 도 8a 내지 도 8b에 도시한 바와 같이, 게이트 배선과 동일하게 금속막(601)과 산화 금속막(602)을 차례로 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터 패드(68), 소스 전극(64)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66) 및 게이트선(22)과 중첩하는 유지 축전기용 도전체 패턴(64)을 포함하는 데이터 배선을 형성한다. 이때에도 데이터 배선(62, 64, 65, 66, 68)을 크롬막(601)과 산화 크롬막(602)으로 형성하는 경우는 습식 식각으로 진행하며, 습식 식각은 8-12%의 $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ 과 10-20%의 질산(NH_3)과 나머지 초순수를 포함하는 식각액으로 진행한다.

<67> 이어, 데이터 배선(62, 64, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

<68> 다음으로, 도 9a 및 9b에서 보는 바와 같이, 질화 규소와 같은 무기 절연막 또는 낮은 유전율을 가지는 SiOC 또는 SiOF 을 화학 기상 증착으로 적층하거나 또는 아크릴계의 유기 절연막을 도포하여 보호막(70)을 형성한다. 이어, 마스크를 이용한 사진 식각 공정으로 게이트 절연막(30)과 함께 패터닝하여, 유지 축전기용 도전체 패턴(64), 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)를 드러내는 접촉 구멍(72, 74, 76, 78)을 형성한다.

- <69> 다음, 마지막으로 도 4 및 5에 도시한 바와 같이, IZO 또는 ITO 또는 반사도를 가지는 도전 물질을 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(72, 76)을 통하여 유지 축전기용 도전체 패턴(64) 및 드레인 전극(66)과 연결되는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 각각 형성한다.
- <70> 이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다. 여기서, 컬러 필터 기판(상부 기판)의 구조는 제1 실시예와 동일하므로 생략하고, 이후에는 액정 표시 장치용 박막 트랜지스터 기판에 대해서만 설명하기로 한다.
- <71> 먼저, 도 10 내지 도 12를 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.
- <72> 도 10은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 11 및 도 12는 각각 도 10에 도시한 박막 트랜지스터 기판을 XI-XI' 선 및 XII-XII' 선을 따라 잘라 도시한 단면도이다.
- <73> 먼저, 절연 기판(10) 위에 제1 실시예와 동일하게 저저항을 가지는 금속막(201)과 산화 금속막(202)을 포함하는 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선이 형성되어 있다. 그리고, 게이트 배선은 기판(10) 상부에 게이트선(22)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가받는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(82)과 연

결된 유지 축전기용 도전체 패턴(64)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

<74> 게이트 배선(22, 24, 26, 28) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 덮고 있다.

<75> 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

<76> 저항성 접촉층 패턴(55, 56, 58) 위에는 폴리브텐 또는 폴리브텐 합금으로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터패드(68), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(62, 68, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극(28) 위에 위치하며 드레인 전극(66)과 연결되어 있는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다. 이때에도 데이터 배선(62, 64, 65, 68)은 제1 실시예와 마찬가지로 금속막(601)과 산화 금속막(602)을 포함한다.

<77> 접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 68, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다.

<78> 한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 58)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

<79> 데이터 배선(62, 64, 65, 66, 68) 위에는 질화 규소 또는 SiO₂ 또는 SiOF 또는 감광성 유기 절연 물질로 이루어진 보호막(70)이 형성되어 있다.

<80> 보호막(70)은 드레인 전극(66), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 드러내는 접촉구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)을 가지고 있다.

- <81> 보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 IZO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)을 통하여 유지 축전기용 도전체 패턴(64)과도 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(68) 위에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.
- <82> 이러한 본 발명에 제2 실시예에 따른 액정 표시 장치에서는 제1 실시예에서와 같은 특징을 가지고 있어 하부 기판(100)에 형성되어 있는 게이트선(22) 및 데이터선(62)과 컬러 필터(R, G, B)가 화소 영역 사이에서 누설되는 빛을 차단할 수 있고 이들은 어두운 색으로 표시되어, 컬러 필터 기판에 별도로 블랙 매트릭스를 둘 필요가 없어 화소의 개구율을 확보할 수 있는 동시에 높은 대비비를 확보할 수 있다.
- <83> 그러면, 도 10 내지 도 12의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 10 내지 도 12와 도 13a 내지 도 19c를 참조하여 설명하기로 한다.
- <84> 먼저, 도 13a 내지 13c에 도시한 바와 같이, 제1 실시예와 동일하게 저저항을 가지는 도전 물질의 금속막(601)과 금속막(601)과 함께 어둡게 표시되는 산화 금속막(602)

을 차례로 적층하고 마스크를 이용한 사진 식각 공정으로 기판(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 전극(28)을 포함하는 게이트 배선을 형성한다.

<85> 다음, 도 14a 및 14b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 저저항의 도전 물질로 이루어진 금속막(601)과 산화되어 있는 도전 물질로 이루어진 산화 금속막(602)을 포함하는 도전체층(60)을 스퍼터링 등의 방법으로 증착한 다음 그 위에 감광막(110)을 1 μm 내지 2 μm의 두께로 도포한다.

<86> 여기서, 산화 금속막의 종류로는 Cr, Al, Ag, Mo, Mo Alloy, Ti, Ta 등의 거의 모든 금속의 산화막이 가능하며, 산화 금속막(602)의 두께는 금속 산화막(602)의 굴절율에 따라 차이가 있어 그 범위를 결정하기 어려우나 1500Å 이하면 가능하다.

<87> 그 후, 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 13b 및 13c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

- <88> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.
- <89> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.
- <90> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.
- <91> 이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.
- <92> 이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부

분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

<93> 먼저, 도 16a 및 16b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

<94> 도전체층(60)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(60)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 도전체층(60)이 Cr인 습식 식각의 경우에는 식각액으로 CeNH_3O_3 을 사용할 수 있고, 도전체층(60)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는 CF_4 와 HCl 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체 또는 SF_6/Cl_2 나 SF_6/O_2 를 포함하는 혼합 기체를 사용할 수 있다.

<95> 본 발명의 제2 실시예에서는 도전체층(60)은 크롬의 금속막(601)과 산화 크롬의 산화 금속막(602)이고, 산화 금속막(602)은 건식 식각으로 식각하고, 금속막(601)은 습식 식각으로 패터닝할 수 있다. 하지만, 앞에서 설명한 바와 같

이 습식 식각은 등방적으로 진행되기 때문에 산화 크롬막(602)의 하부에서 크롬막(601)이 언더 컷되어 이후에 형성되는 다른 막의 프로파일을 취약하게 유도할 수 있다. 이러한 문제점을 해결하기 위해 산화 크롬막(602)과 크롬막(601)을 습식 또는 건식 식각 중 하나의 식각 조건으로 패터닝하여 테이퍼 구조를 얻는 것이 바람직하다. 본 발명의 실시예에서는 앞에서 설명한 바와 같이 크롬막(601)과 산화 크롬막(602)을 한번의 습식 식각으로 패터닝하였으며, 습식 식각은 8-12%의 $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ 과 10-20%의 질산(NH_3)과 나머지 초순수를 포함하는 식각액으로 진행하였으며, 30-50 ° 정도의 테이퍼각을 가지는 배선 구조를 얻을 수 있었다. 따라서, 크롬막(601)과 산화 크롬막(602)을 하나의 식각 조건으로 패터닝하여 제조 공정을 단순히 할 수 있었으며, 테이퍼 구조를 통하여 이후에 형성되는 다른 막의 프로파일을 양호하게 유도할 수 있었다.

<96> 이렇게 하면, 도 16a 및 도 16b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(64)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 64)은 소스 및 드레인 전극 (65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

<97> 이어, 도 17a 및 17b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에

대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF₆과 HCl의 혼합 기체나, SF₆과 O₂의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<98> 이렇게 하면, 도 17a 및 17b에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다.

<99> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<100> 다음, 도 18a 및 18b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다.

<101> 이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

- <102> 마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.
- <103> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.
- <104> 이와 같이 하여 데이터 배선(62, 64, 65, 66, 68)을 형성한 후, 도 19a 내지 19c에 도시한 바와 같이 질화 규소, SiOC 또는 SiOF를 CVD 방법으로 증착하거나 감광성 유기 절연막을 도포하여 보호막(70)을 형성한 다음, 마스크를 이용하여 보호막(70)을 게이트 절연막(30)과 함께 식각하여 드레인 전극(66), 게이트 패드(24), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 각각 드러내는 접촉 구멍(76, 74, 78, 72)을 형성한다.
- <105> 마지막으로, 도 10 내지 도 12에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 IZO 또는 ITO 또는 반사도를 가지는 도전 물질을 증착하고 마스크를 사용하여 식각하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 연결된 화소 전극(82), 게이트 패드(24)와 연결된 보조 게이트 패드(86) 및 데이터 패드(68)와 연결된 보조 데이터 패드(88)를 형성한다.
- <106> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)

을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)이 분리하여 제조 공정을 단순화할 수 있다.

<107> 한편, 본 발명의 제1 및 제2 실시예에서는 상부 기판(200)에 적, 녹, 청 컬러 필터(R, G, B)가 형성되어 있는 구조에 대해서만 설명하였지만, 적, 녹, 청 컬러 필터는 박막 트랜지스터의 상부인 보호막(70)과 화소 전극(82) 사이에 형성될 수도 있으며, 박막 트랜지스터의 하부인 게이트 배선(22, 24, 26, 28)의 하부에 형성될 수도 있다.

【발명의 효과】

<108> 이와 같이, 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판을 가지는 액정 표시 장치에서는 게이트선 및 데이터선과 컬러 필터가 화소 영역 사이에서 누설되는 빛을 차단할 수 있고 어두운 색으로 표시되어, 별도로 블랙 매트릭스를 둘 필요가 없다. 따라서, 화소의 개구율을 확보할 수 있는 동시에 높은 대비비를 확보할 수 있다.

【특허청구범위】**【청구항 1】**

도전 물질로 이루어진 금속막과 상기 금속막의 상부에 형성되어 있으며 산화된 도전 물질로 이루어진 산화 금속막을 포함하며, 주사 신호 또는 데이터 신호가 전달되는 표시 장치용 배선

【청구항 2】

제1항에서,

상기 표시 장치용 배선은 액정 표시 장치의 게이트선 또는 데이터선으로 이용되는 표시 장치용 배선.

【청구항 3】

제1항에서,

상기 금속막은 크롬, 몰리브덴, 몰리브덴 합금, 알루미늄 및 알루미늄 합금 중 하나로 포함하는 표시 장치용 배선.

【청구항 4】

제1항에서,

상기 산화 금속막은 산화 크롬, 산화 몰리브덴, 산화 몰리브덴 합금 중 하나로 이루어진 표시 장치용 배선.

【청구항 5】

제1항에서,

상기 금속막의 도전 물질과 상기 산화 금속막의 도전 물질은 서로 동일한 표시 장치용 배선.

【청구항 6】

절연 기판 위에 형성되어 있으며, 게이트선 및 상기 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층,

상기 게이트 절연막 또는 상기 반도체층 상부에 형성되어 있으며, 데이터선, 상기 데이터선과 연결되어 있으며 상기 반도체층 상부에 형성되어 있는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편 상기 반도체층 상부에 형성되어 있는 드레인 전극을 포함하는 데이터 배선,

상기 데이터 배선을 덮고 있는 보호막,

투명한 도전 물질 또는 반사도를 가지는 도전 물질로 이루어져 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하는 박막 트랜지스터 어레이 기판에 있어서,

상기 게이트 배선 또는 상기 데이터 배선은 도전 물질로 이루어진 금속막과 산화된 도전 물질로 이루어진 산화 금속막을 포함하는 박막 트랜지스터 어레이 기판.

【청구항 7】

제6항에서,

상기 금속막은 크롬, 몰리브덴, 몰리브덴 합금, 알루미늄 및 알루미늄 합금 중 하나로 포함하는 박막 트랜지스터 어레이 기판.

【청구항 8】

제6항에서,

상기 산화 금속막은 산화 크롬, 산화 몰리브덴, 산화 몰리브덴 합금, 산화 알루미늄 및 산화 알루미늄 합금 중 하나로 이루어진 박막 트랜지스터 어레이 기판.

【청구항 9】

제6항에서,

상기 금속막의 도전 물질과 상기 산화 금속막의 도전 물질은 서로 동일한 박막 트랜지스터 어레이 기판.

【청구항 10】

제6항에서,

상기 게이트 배선은 상기 게이트선에 연결되어 있는 게이트 패드를 더 포함하며,
상기 데이터 배선은 상기 데이터선에 연결되어 있는 데이터 패드를 더 포함하며,
상기 화소 전극과 동일한 층에는 상기 게이트 패드 및 상기 데이터 패드와 각각 연결되는 보조 게이트 패드 및 보조 데이터 패드를 포함하는 박막 트랜지스터 어레이 기판.

【청구항 11】

제6항에서,

상기 보호막은 SiOC 또는 SiOF 또는 질화 규소 또는 유기 절연 물질로 이루어진 박막 트랜지스터 어레이 기판.

【청구항 12】

제6항에서,

상기 소스 전극과 상기 드레인 전극 사이의 채널부를 제외한 상기 반도체층과 상기 데이터 배선은 동일한 패턴으로 이루어진 박막 트랜지스터 어레이 기판.

【청구항 13】

제6항에서,

상기 화소 전극은 상기 보호막의 상부에 형성되어 있으며, 상기 화소 전극과 상기 드레인 전극은 상기 보호막에 형성되어 있는 제1 접촉 구멍을 통하여 서로 연결되어 있는 박막 트랜지스터 어레이 기판.

【청구항 14】

기판의 상부에 금속막을 적층하는 단계,

상기 금속막의 상부에 산화 금속막을 적층하는 단계,

상기 금속막과 상기 산화 금속막을 동일한 식각 조건으로 패터닝하여 테이퍼 구조로 형성하는 단계

를 포함하는 표시 장치용 배선의 제조 방법.

【청구항 15】

제14항에서,

상기 금속막은 크롬이고 상기 산화 금속막은 산화 크롬으로 형성하는 표시 장치용 배선의 제조 방법.

【청구항 16】

제15항에서,

상기 식각 조건은 습식 식각이며, 상기 습식 식각의 식각액은 8-12%의 $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ 과 10-20%의 질산(NH_3)과 나머지 초순수를 포함하는 표시 장치용 배선의 제조 방법.

【청구항 17】

절연 기판 위에 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

비정질 규소의 반도체층을 형성하는 단계,

상기 반도체층 상부에 도핑된 비정질 규소의 저항성 접촉층을 형성하는 단계,

상기 게이트 절연막 또는 상기 저항성 접촉층 상부에 데이터선, 상기 데이터선에 연결되어 있으며 상기 게이트 전극에 인접한 소스 전극 및 상기 게이트 전극을 중심으로 상기 소스 전극과 마주하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

상기 반도체층을 덮는 보호막을 형성하는 단계,

상기 드레인 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법에 있어서,

상기 게이트 배선 또는 상기 데이터 배선은 금속막과 산화 금속막을 차례로 적층하고 동일한 식각 조건에 테이퍼 구조로 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 18】

제17항에서,

상기 금속막은 크롬이고 상기 산화 금속막은 산화 크롬으로 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

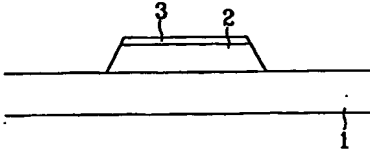
【청구항 19】

제18항에서,

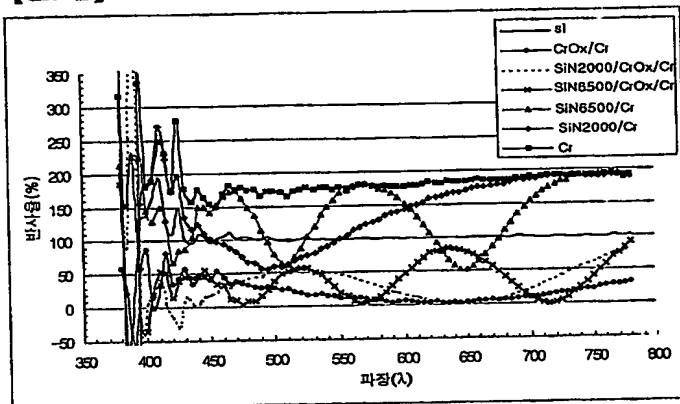
상기 식각 조건은 습식 식각이며, 상기 습식 식각의 식각액은 8-12%의 $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ 과 10-20%의 질산(NH_3)과 나머지 초순수를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

【도면】

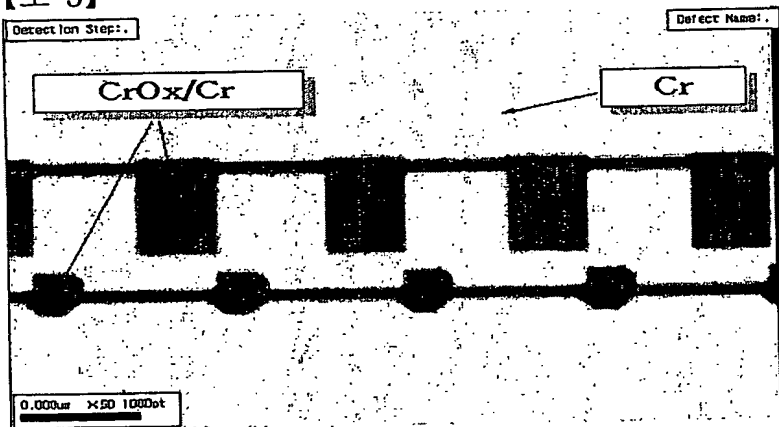
【도 1】



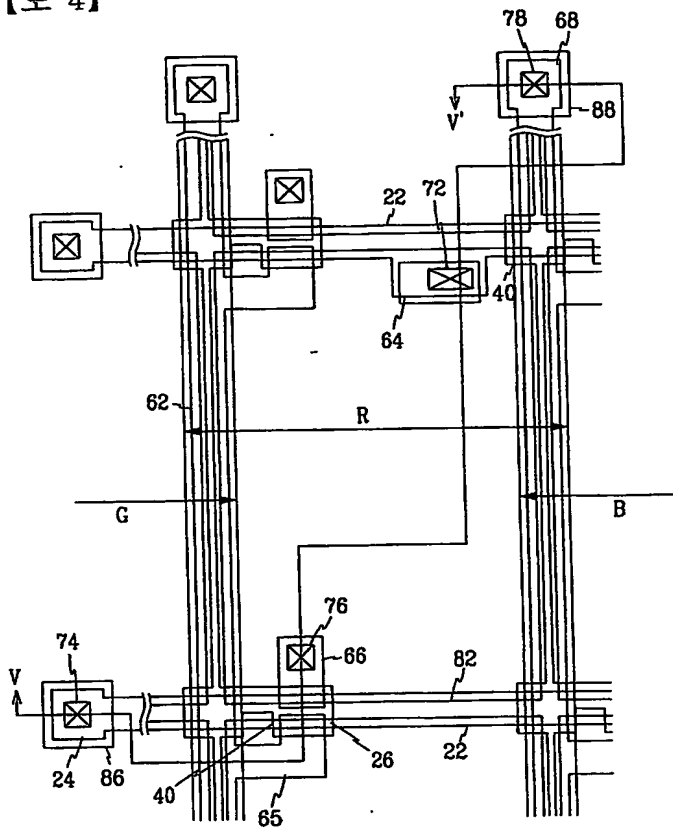
【도 2】



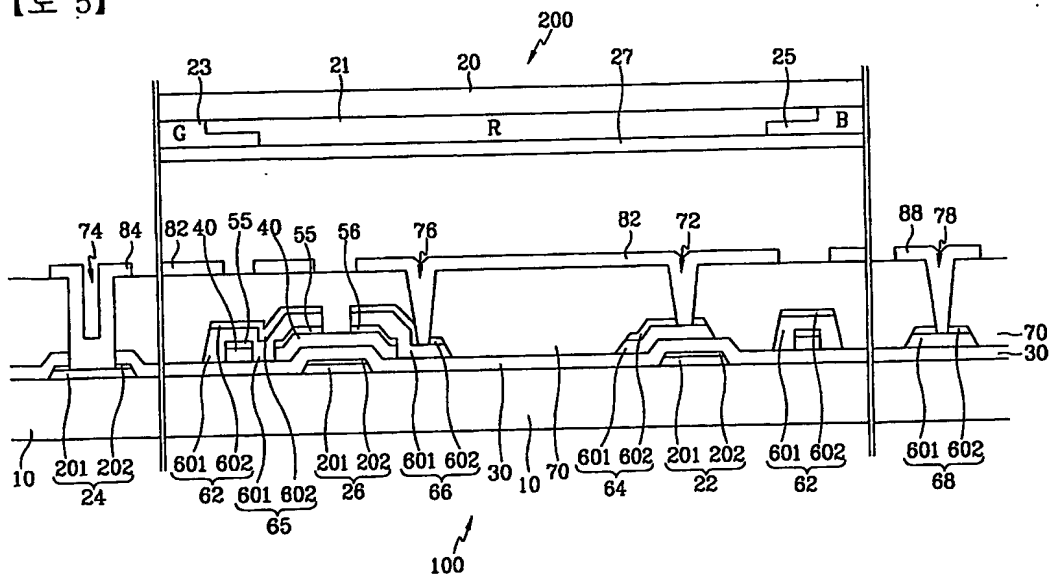
【도 3】



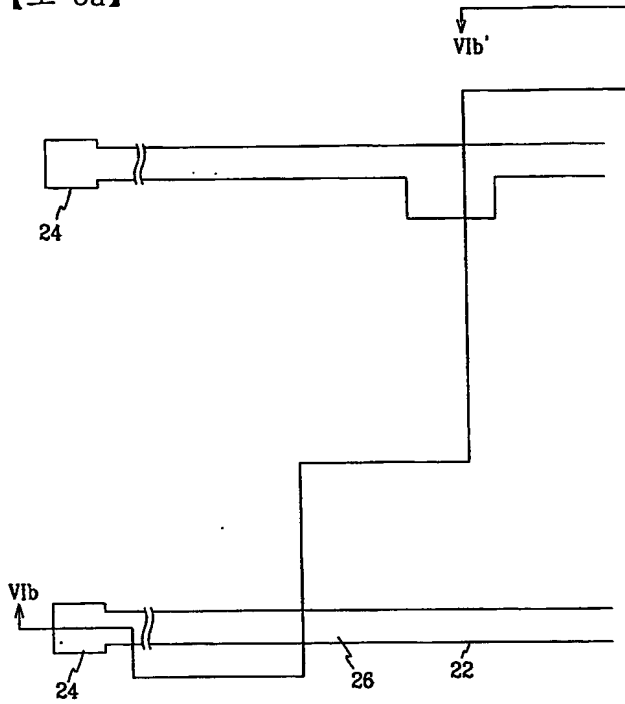
【도 4】



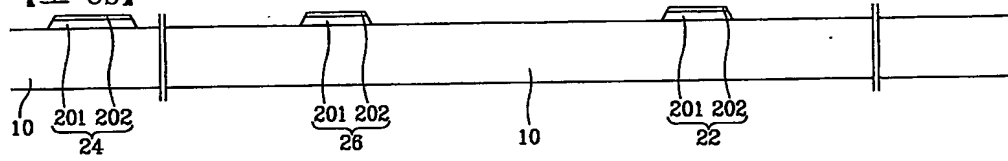
【도 5】



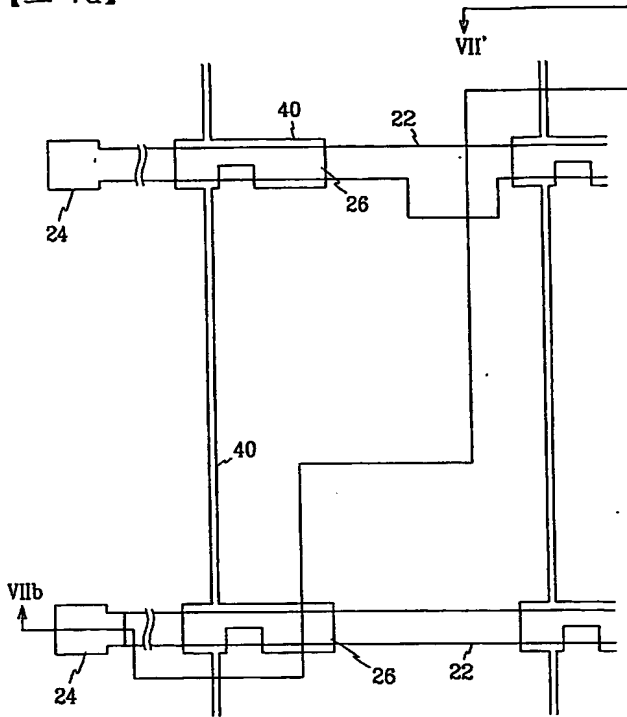
【도 6a】



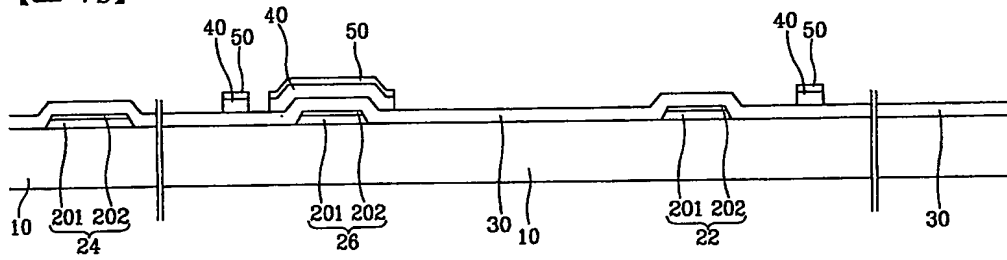
【도 6b】



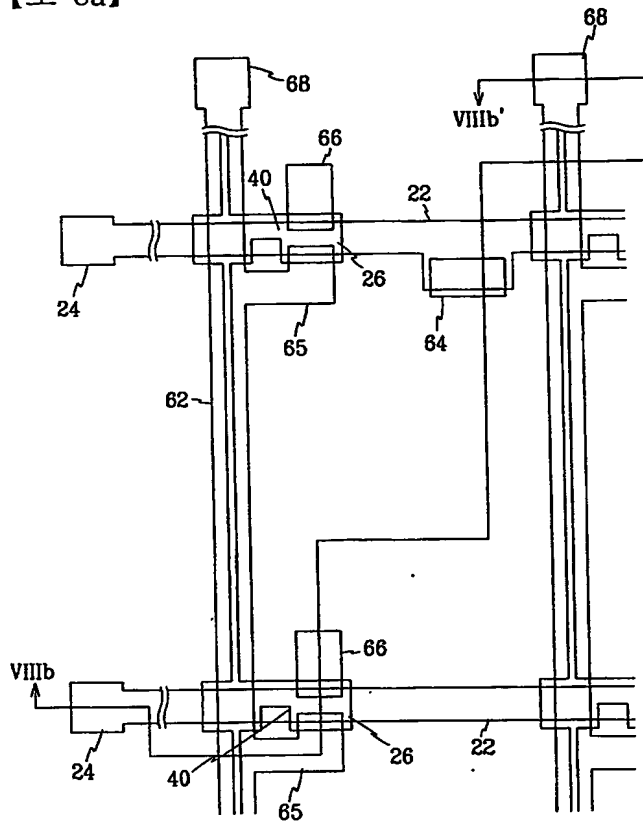
【도 7a】



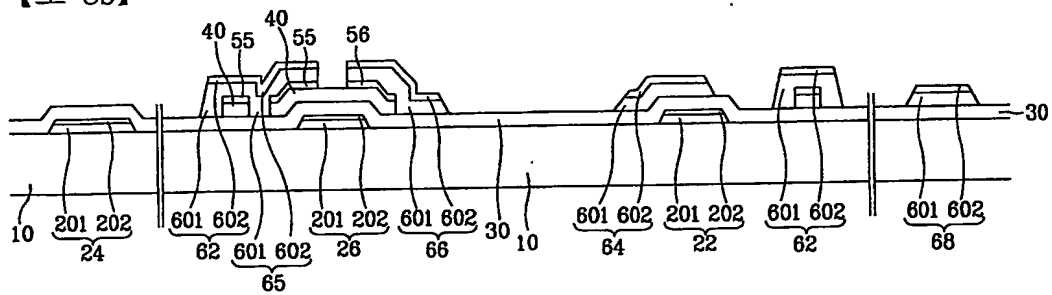
【도 7b】



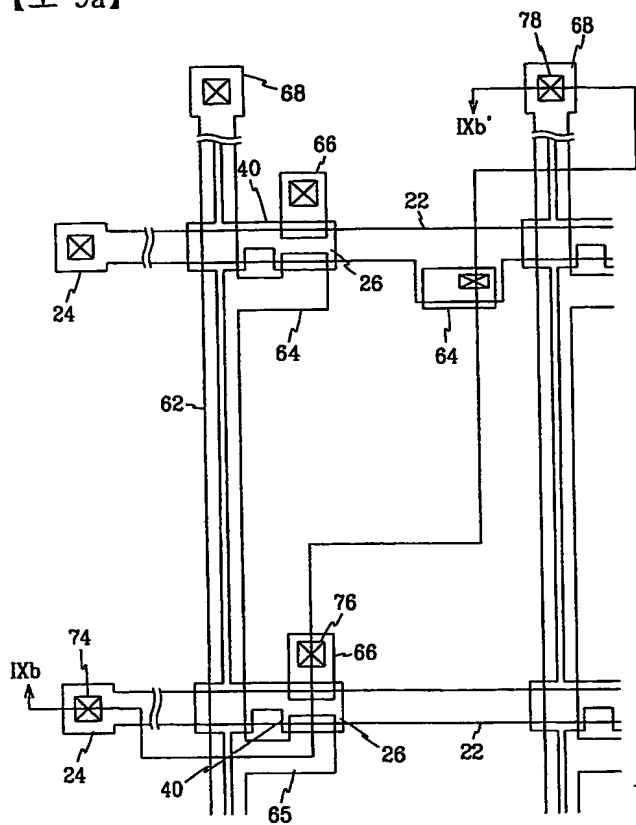
【도 8a】



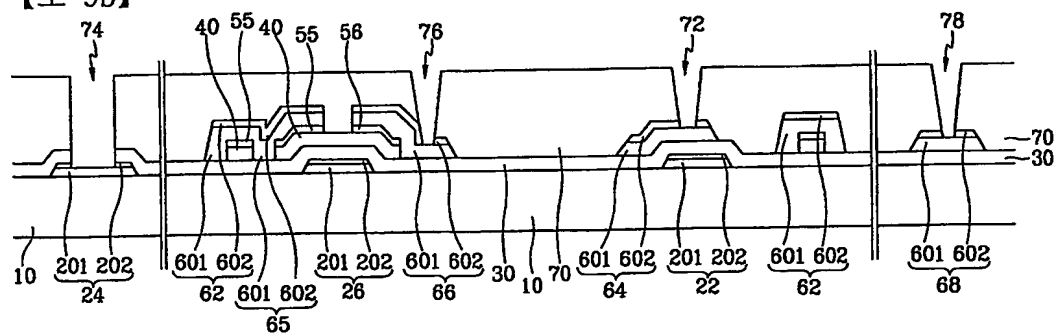
【도 8b】



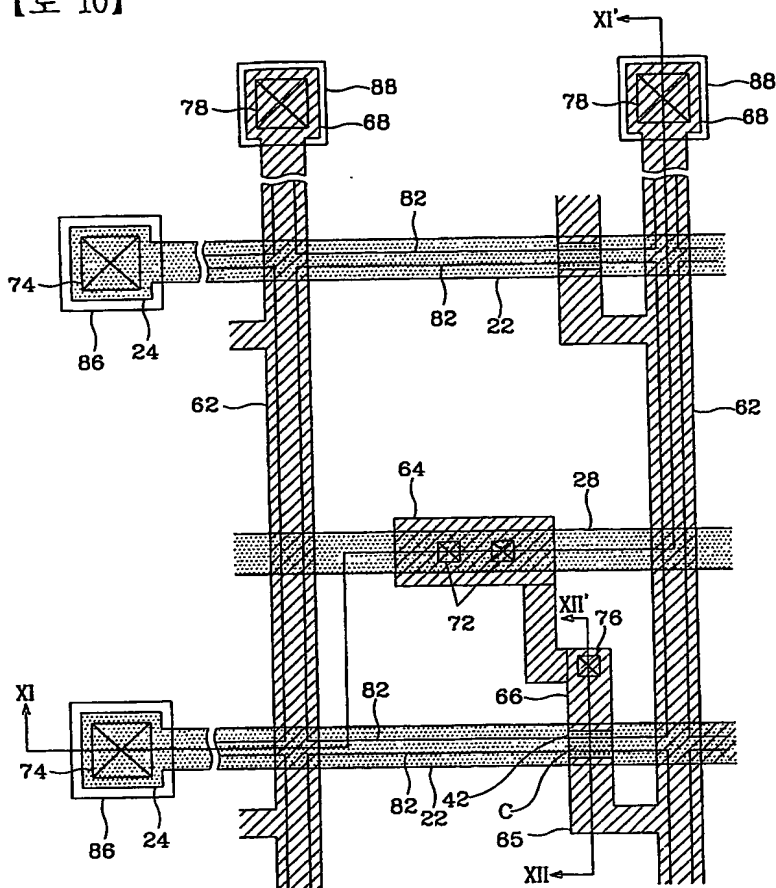
【도 9a】



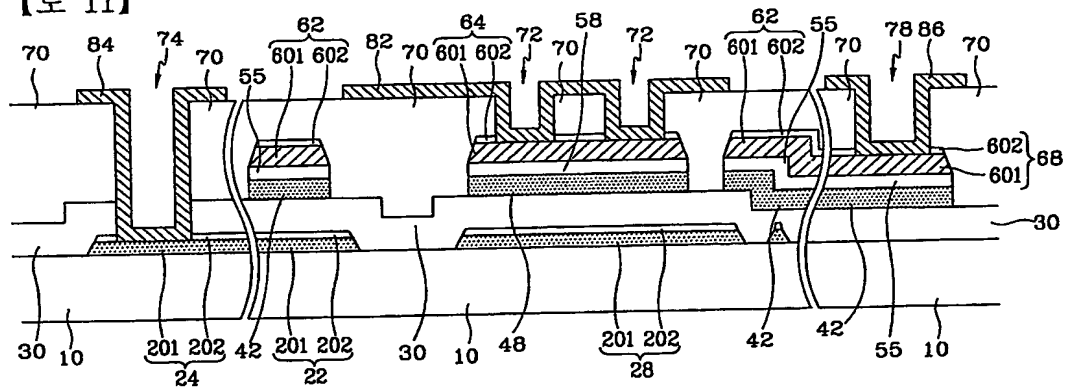
【도 9b】



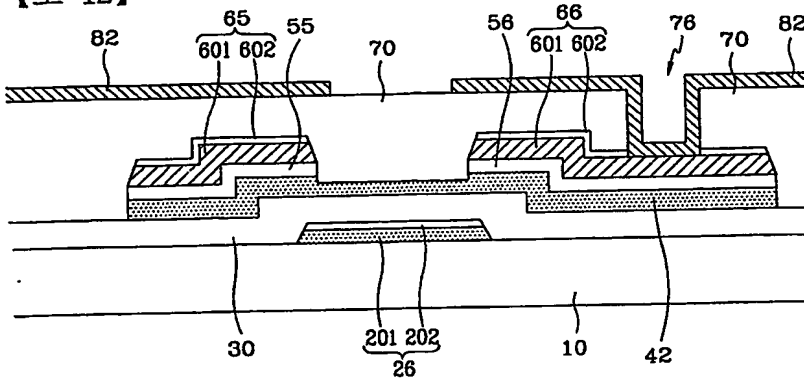
【도 10】



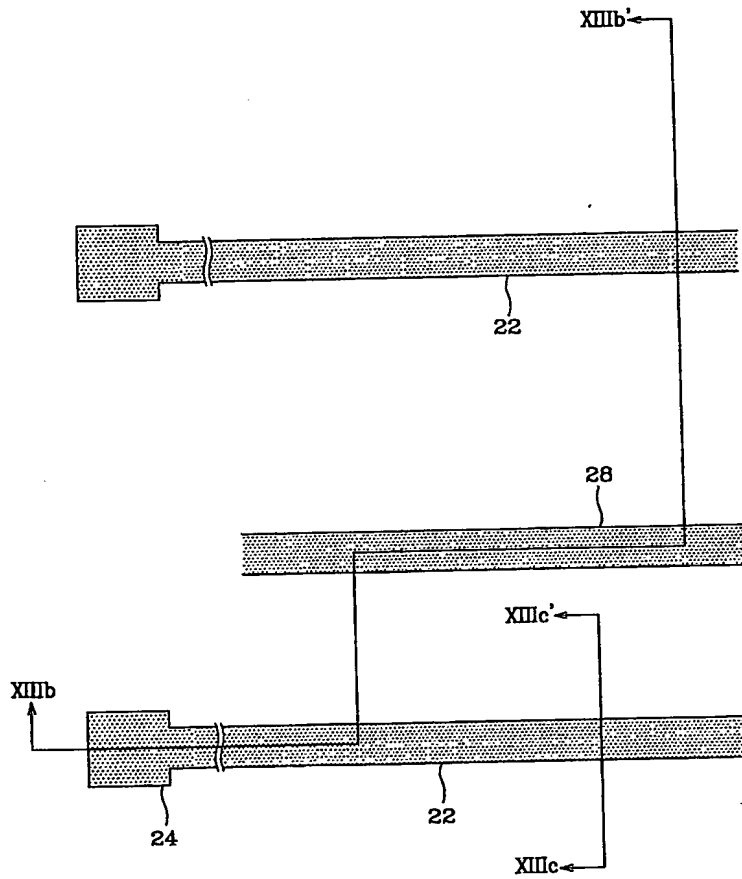
【도 11】



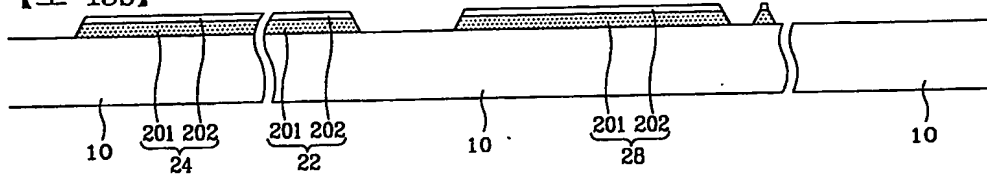
【도 12】



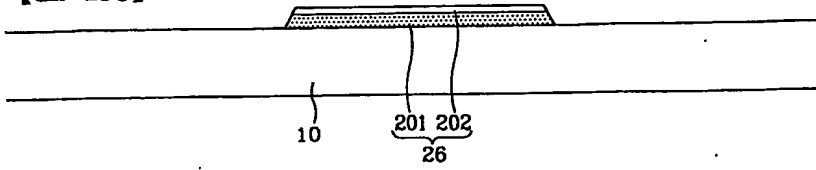
【도 13a】



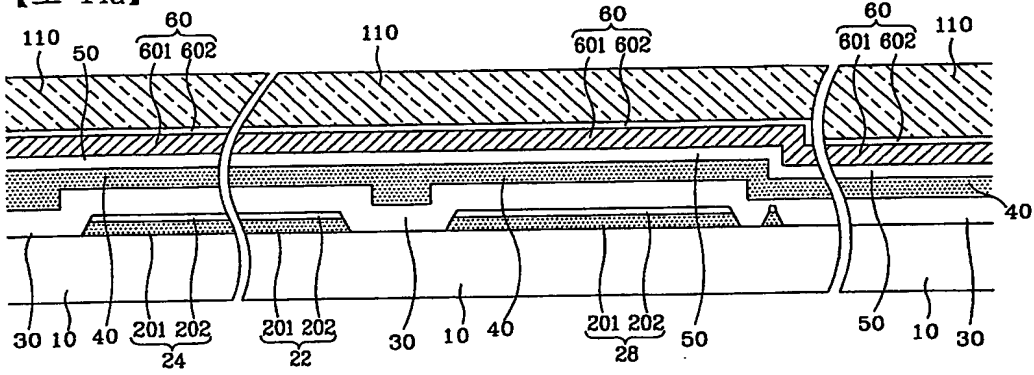
【도 13b】



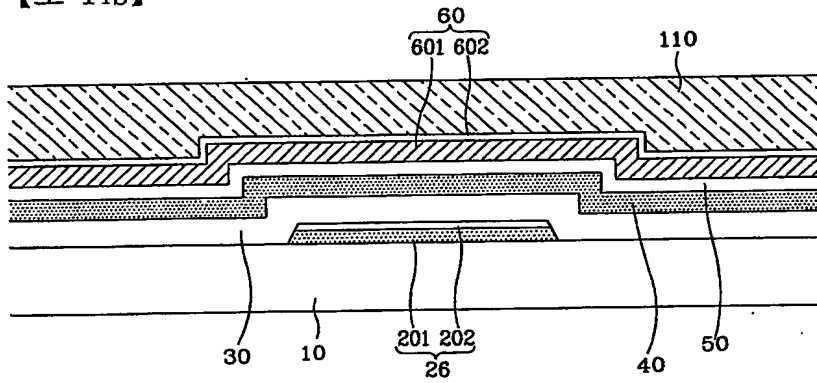
【도 13c】



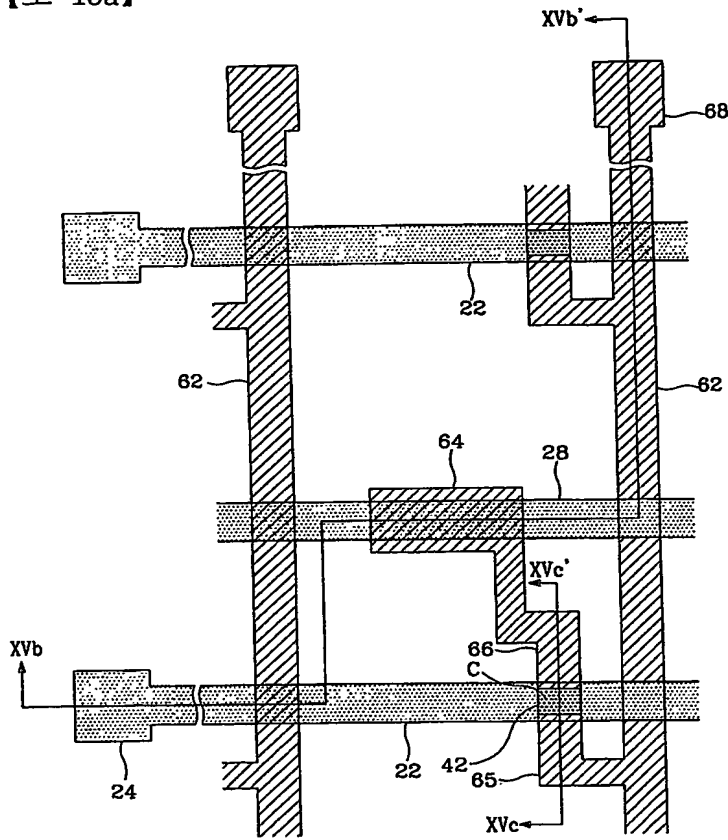
【도 14a】



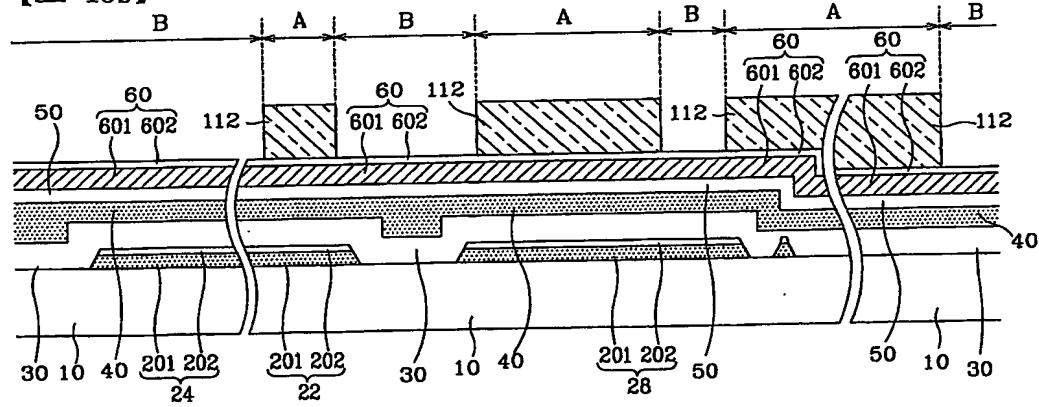
【도 14b】



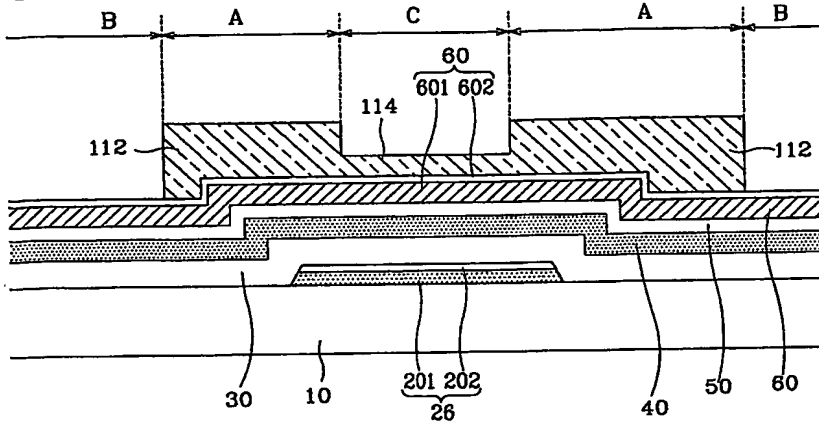
【도 15a】



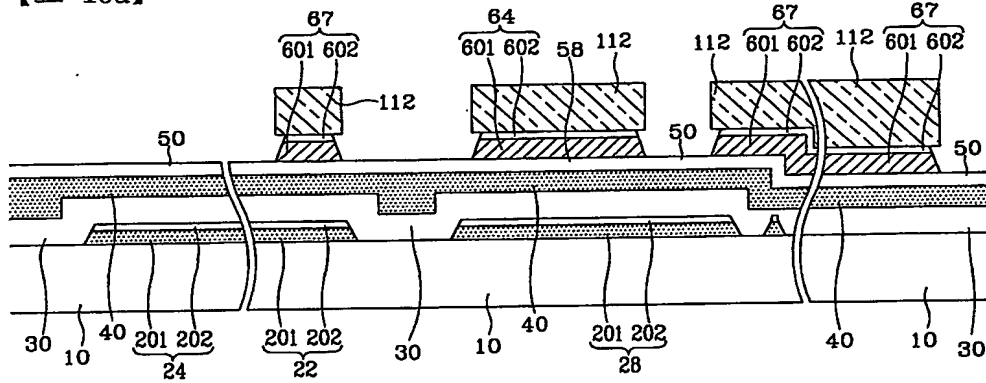
【도 15b】



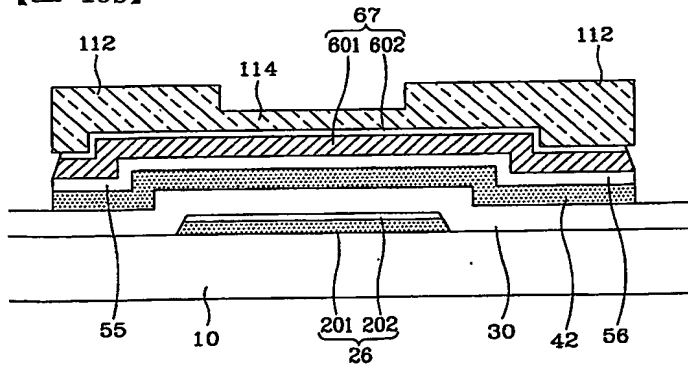
【도 15c】



【도 16a】



【도 16b】

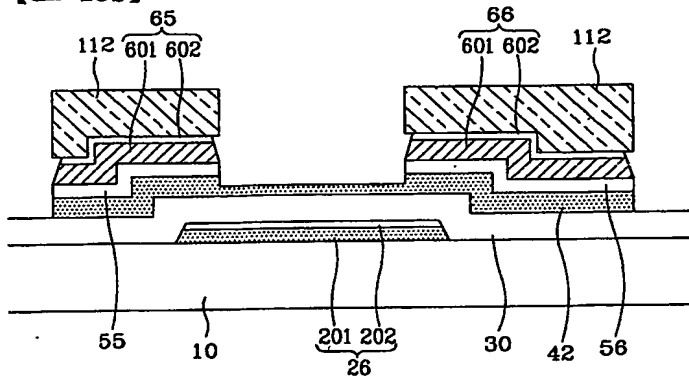


This cross-sectional view shows a semiconductor device with three gate structures. The substrate consists of a base layer 30 and a channel layer 10. The first gate structure (left) includes a gate stack 24 with layers 201 and 202, a gate dielectric 22, and a gate electrode 42. The second gate structure (middle) includes a gate stack 28 with layers 201 and 202, a gate dielectric 48, and a gate electrode 55. The third gate structure (right) includes a gate stack 67 with layers 601 and 602, a gate dielectric 602, and a gate electrode 55. The gate electrodes are connected to a common line 42. The device also includes a source region 30 and a drain region 10.

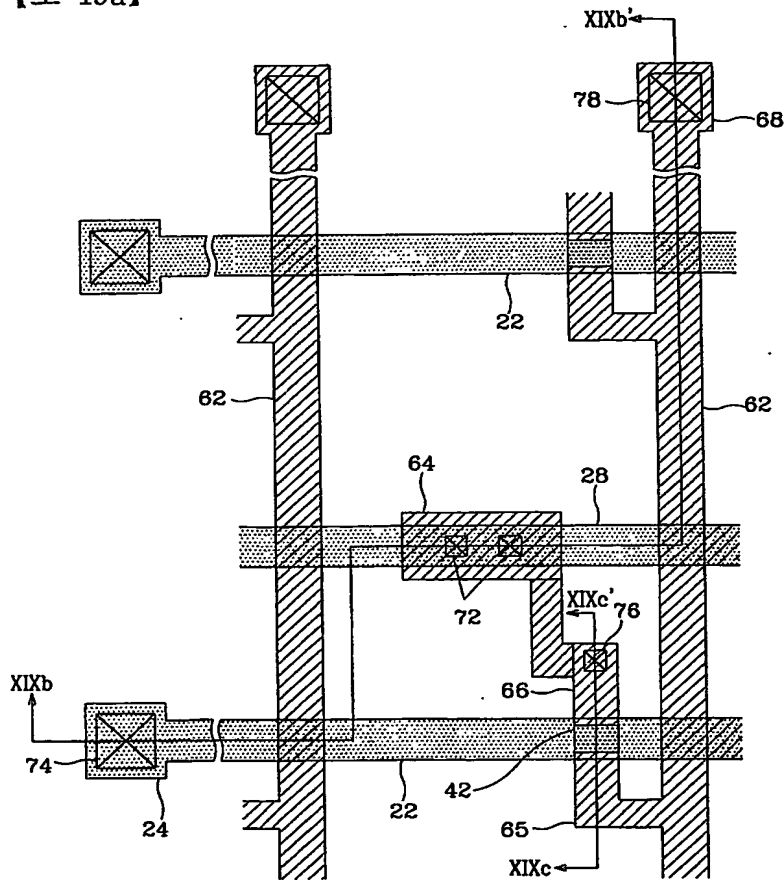
Fig. 17B is a cross-sectional view of a semiconductor device. It shows a substrate 10 with a layer 55 on its top surface. A central region 26 contains a structure 201/202. To the left and right of this central region are larger structures 601 and 602, which are part of a larger assembly 67. These structures are built on a base 30 and include a layer 42. The top surfaces of the left and right structures are labeled 112. A layer 56 is shown at the bottom of the right structure.

This cross-sectional view shows three vertical structures on a substrate. The substrate has regions labeled 30, 10, 201, 202, 24, 22, 30, 10, 201, 202, 28, 42, 10, and 30. The first structure (left) has a base 42, a layer 55, and a top layer 112. The second structure (middle) has a base 48, a layer 55, and a top layer 112. The third structure (right) has a base 42, a layer 55, and a top layer 112. The top layers 112 are collectively labeled 62. The layers 55 are collectively labeled 601 and 602. The layers 42, 48, and 42 are collectively labeled 68.

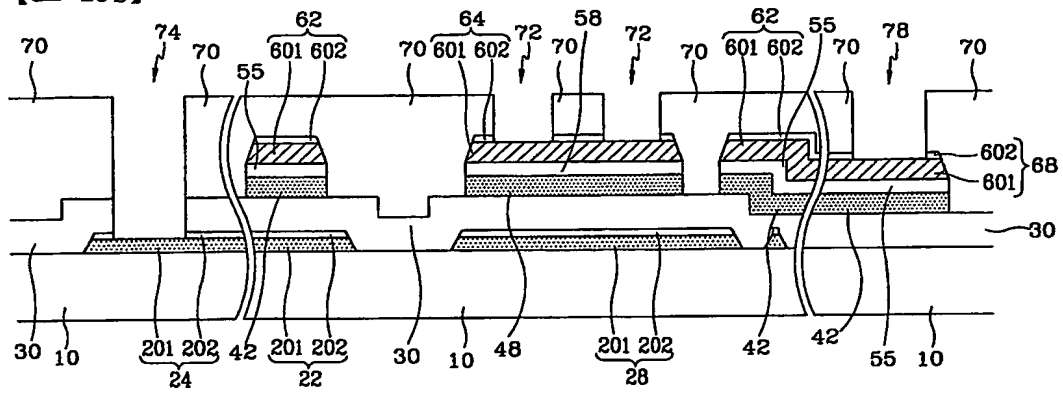
【도 18b】



【도 19a】



【도 19b】



【도 19c】

